

1017 U.S. 10
09/034323

Method of fabricating a semiconductor memory device

Patent Number: EP1017096

Publication date: 2000-07-05

Inventor(s): TAKENAKA NOBUYUKI (JP); IGUCHI KATSUJI (JP); OHNISHI SHIGEO (JP)

Applicant(s): SHARP KK (JP)

Requested Patent: JP2000196039 (JP00196039)

Application Number: EP19990310526 19991223

Priority Number(s): JP19980373876 19981228

IPC Classification: H01L21/8242 ; H01L21/02

EC Classification: H01L21/8242B2

Equivalents: US6153460

Abstract

A method of fabricating a semiconductor memory device comprises the steps of: (a) forming an interlayer insulating film on a semiconductor substrate, opening a contact hole in said interlayer insulating film, and burying a plug in said contact hole; (b) forming a first insulating film on said interlayer insulating film inclusive of said plug, and forming a trench in said first insulating film above said plug; (c) forming a first conductive film on said first insulating film inclusive of said trench, and etching back said first conductive film by a chemical mechanical polishing method to form a bottom electrode inside said trench; (d) forming a high dielectric film or a ferroelectric film and a second conductive film in this order on said first insulating film inclusive of said bottom electrode; and (e) patterning simultaneously said high dielectric film or ferroelectric film and said second conductive film

to form a capacitor insulating film and a top electrode.

Data supplied from the esp@cenet database - I2

ホール、コンタクトホール内にコンタクトブラグ41が形成された半導体基板において、コンタクトブラグ41上にS10膜42を形成する。その後、コンタクトブラグ41上であって、このS10膜42にマスクを用いて開口部を形成し、この開口部内に下部電極43と誘電体44と上部電極45とTEOS膜46を順次堆積する。続いて、これら層を同時にCMP研磨することにより、S10膜42に形成した開口部内に凹形状の孤立チャバシタCPを形成するとともに、この孤立チャバシタ表面の凹部にTEOS膜46を堆積する。さらに、この孤立チャバシタCPの凹部のTEOS膜46に、マスクを用いてドライエッチングによりコンタクトホールブランジング後、このコンタクトホールを含むチャバシタ上に、金属性膜を形成し、この金属膜をマスクを用いてハーフニンギング後電極47を形成する。

[0006]しかし、このような工程では、コンタクトブラグ41上のS10膜42に開口部を形成するためのマスク、TEOS膜46にコンタクトホールを開口するためのマスク、共通ブレード電極47にバーニングするためのマスクと、3枚のマスクが必要となるとともに、S10膜42の開口部内にチャバシタを形成する際のCMP工程及びTEOS膜46にコンタクトホールを開口するためのドライエッチ工程が必要となる。また、形成されたチャバシタ上にコンタクトホールを形成する必要があり、微細化がさらに進んだ場合には、コンタクトホールの形成自身が困難となるという問題も有して

〔0007〕また、特開平7-22518号公報によれば、図6に示したように、トランジスタ、電源回路等50、電源回路基板50にコントラクトホール、コントラクトホール内にコントラクトプラグ51が形成された半導体基板において、コントラクトプラグ51上にS10膜52を形成する。その後、コントラクトプラグ51上であって、このS10膜52にマスクを用いて開口部を形成し、この開口部上に導電膜を接着し、CMP工程を形成し、コントラクトプラグ51と接続された孔の蓄電電極53を形成する。次いで、蓄電電極53上に強誘電体膜54及びS10膜55を順次堆積し、その後、S10膜55であって、蓄電電極53上に、マスクを用いてドライブ側に対応する溝を形成し、導電膜を堆積する。続いて、この導電膜をCMP研磨することにより、独立したドライブ線56を形成する。しかし、この工程では、メモリアレイ周辺の回路部上において強誘電体膜を加工するマージンが導入され、強誘電体特性が劣化するという問題がある。

〔0008〕【課題を解決するための手段】本発明によれば、(a)半導体基板上に電源回路基板を形成し、該電源回路基板コントラクトホールを形成し、さらに該コントラクトホール内

て形成することができる。周間絕縫鋼の腹厚は、通常間間絶縫鋼として機能する腹厚であればよく、例えば、7.00～30.00 mm程度が挙げられる。この周間絶縫鋼にコンタクトホールを形成する。コンタクトホールの形成方法は、特に限定されものではなく、例えば、フォトリソグラフィ及びエッチング工程によって形成することができる。コンタクトホールの大きさは、周間絶縫鋼の下端と上端との電気的な接続を確保する大きさである特に限られない。

[0014] このコンタクトホール内にブラグを形成する。ブラグは導電性材料によってその裏面を平坦に形成することが好ましい。例えば、チタン、タンタル、タンクスチタン等の高融点金属、ボリシリコンの半導体層又は樹脂層が挙げられる。また、ブラグの下層又は上層に、他の導電性材料との密着性を確保等のために、TiN、TaSiN等からなるハリメタルが形成されていてもよい。これらブラグ、ハリメタル等は、公知の方法、例えば、スパッタリング法、真空蒸着法等と、エッチング法により形成することができる。

[0014] 次いで、(b) ブラグを含む周間絶縫鋼上に第1絶縫鋼を形成し、ブラグ上の第1絶縫鋼に構を形成する。

成する。第1绝缘膜は、通常、アクリルを含む第1绝缘膜上に全面に形成することが好ましい。第1绝缘膜は、绝缘性を有する膜であれば、その材料は特に限定されるものではなく、例えば、シリコン化アルミニウム、シリコン化銀、TiO₂、Ta₂O₅等の单層又は多層からなる绝缘膜が挙げられる。なお、アクリル上に形成される後述する下部電極が挙げられる。これらの绝缘膜は、例えば、CVD法等の公知の方法にしたがって形成することができる。また、第1绝缘膜の厚さは、例えば、2,000～3,000nm程度が挙げられる。

【0016】この第1绝缘膜に溝を形成する。この溝は、アクリル上であって、その底部がアクリルまで至つており、アクリル全体を被覆し、さらにアクリルの外周部まで広げて形成することが好ましい。つまり、この溝の大きさにより、後工程で形成する下部電極の大きさがほぼ決定されることになる。溝は、公知の方法、例えばオトリソラグライ及びエッチング工程によって形成され、溝を含む第1绝缘膜上に全面に形成された後、上所述した他の第1绝缘膜材料によって第1绝缘膜の側壁に沿ってエッチング工程によって形成してよい。【0016】さらに、(c)溝を含む第1绝缘膜上に第1導電膜を形成する。なお、第1绝缘膜に溝を形成した後、上所述した他の第1绝缘膜材料によって第1绝缘膜の側壁に沿ってエッチング工程によって形成してよい。

【0017】第1導電膜は、通常、溝を含む第1绝缘膜上全面に形成することが好ましい。第1導電膜は、通常導電材料で形成するのであれば特に限定されるものの導電材料で形成する。導電材料は、通常、導電性の電極材料で形成する。

例えば、400～800℃程度の温度範囲、酸素、酸素／窒素、酸素／アルゴン／窒素気中等で30秒間～数時間程度二段熱処理を施すことが好ましい。

100201 第2導電膜は、上述した第1導電膜と同様の材料で、同様の成膜方法で形成することができる。なお、第2導電膜と第1導電膜とは必ずしも同じ材料、同じ膜厚で形成する必要はなく、半導体装置の特性、その下層又は上層に配置される素子や絶縁膜等に応じて、適宜調整することができる。

100211 続いて、(e) 高誘電体膜又は強誘電体膜及び第2導電膜を同時にバーニングすることによって、キャバシタ絶縁膜及び上部電極を形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、フオトリソグラフィ及びエッチング工程により、滑と同じ大きさ又は滑よりも大きくなりバーニングしてもらい。これにより、滑内のみに配置する下部電極と、キャバシタ絶縁膜及び上部電極及び第2導電膜をこの順で形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、通常引出部は膜上全面に形成することが好ましい。なお、これら膜の形状は、上述した工程(d)における膜と同様の材料、方法により形成することができる。

100212 続いて、(f) 高誘電体膜又は強誘電体膜及び第2導電膜を化学的機械的研磨法によって同時に工程(d)におけるキャバシタ絶縁膜及び上部電極を形成する。なお、この際のエッチバックは、工程(c)におけるエッチバックと同様の方法で行うことができる。これにより、上部電極が、滑内、表面が第2絶縁膜と面一に、平坦な形状に形成することができる。

100213 以下に、この発明の半導体装置の製造方法について、図面に基いて説明する。なお、これらの実施例によつてはこの発明は限定されない。

【0029】実施例1
まず、図1(a)に示したように、トランジスタが形成されたシリコン基板1上に膜厚1～1.5μm程度のSiO₂膜2、膜厚500Å程度のSi₃N₄膜3による層間絶縁膜を形成する。この層間絶縁膜にコントロールホールを形成し、例えば、膜厚1000～3000Å程度のドープドシリコン膜を堆積し、RIE法にてエッチングしてドーブドポリシリコン膜をコントロールホール内に埋め込んで、ブラグ4を形成する。次に、ブラグ4上にTiIN、Ta₂S₃膜等を堆積し、CMP工程によりエッチバックすることにより、裏面が平坦なハリメタル5を形成する。

【0030】続いて、図1(b)に示したように、膜厚2000～3000Å程度のSiO₂膜6及び膜厚200～1000Å程度のTiO₂膜7からなる第1絶縁膜を堆積し、ブラグ4上であって、シリコンの表面に形成する第2絶縁膜を形成し、下部電極上第2絶縁膜に溝を形成する。絶縁膜としては、第1絶縁膜と同様の材料を用いる方法で形成することができる。第1絶縁膜の膜厚は、後の工程で形成する上部電極等の膜厚を決定するものであるため、上部電極等の膜厚に対応させた膜厚

部電極によるキャバシタを形成することができる。なお、下部電極は、ノード電極として、上部電極は共通ブレード電極又はドライブラインとして構成するように形成することができる。

【0022】また、本発明の別の半導体装置の製造方法によれば、工程(A)～(C)において、上述した工程(a)～(c)と同様に下部電極を形成する。なお、ここで形成される下部電極は、溝内であって、裏面が第1絶縁膜と面一に、平坦な形状に形成することが好ましい。

【0023】次いで、(D)下部電極を含む第1絶縁膜上に第2絶縁膜を形成し、下部電極上第2絶縁膜に溝を形成する。絶縁膜としては、第1絶縁膜と同様の材料を用いる方法で形成することができる。第1絶縁膜の膜厚は、後の工程で形成する上部電極等の膜厚を決定するものであるため、上部電極等の膜厚に対応させた膜厚

で抵抗することが肝要らしい。例えは、2000~3000人程度が擎られる。
〔0.024〕下部電極上に第1焼結膜に溝を形成する。
ここで、溝は、工程（b）における第1焼結膜に溝を形成する方法と同様の方法により形成することができる。
溝の大きさは特に限定されるものではないが、下部電極を覆する、さらには外側部にまで広がるような大きさで形成する、さらには溝を形成する。
〔0.025〕さらに、（E）溝の隔壁間に第2焼結膜サイドウオールスベーサーを形成する。この際の焼結膜サイドウオールスベーサーは、「下部した焼結膜は導線と同様の材料、導電性を有する物質である」として、導電性を有する物質である。

ましくは、 TiO_2 又は Ta_2O_5 膜を、膜厚2.0~1.0μm程度で形成し、RIE法によりエッチングすることによって形成することができる。この絶縁膜サイドウォールスペーサーにシリコン酸化膜と後工程で形成する高強度膜又は強接着剤との接着によるこれからの劣化を防止することができる。

～2000Aで、強誘電体膜としてPZT膜9を形成し、700°C程度の温度で、10分間程度アニール処理を施す。その後、例えば、MOCVD法により、膜厚500～2000Å程度のIr膜10を形成し、ノード電極8が形成された開口よりも広い幅でキャバシタ絶縁膜を形成するとともにドライフラインを形成するか、メモリセルアレイの外部でプレート電極を形成する。このうな方法によれば、キャバシタの上部電極となるプレート電極上にコンタクトホールを形成し、さらにドライフラインを形成する必要がなくなり、製造工程を簡略化できる。

【図3-4】実験例2
まず、図2(a)に示したように、曳航例1と同様にシリコン基板1上に周間耐熱膜、コントラクトホール、ブリグ4及びアリマタル5を形成する。続いて、図2(b)に示したように、周厚1000～3000Å程度の周間耐熱膜6及び周厚100～1000Å程度のシリコン酸化膜7をからかせる。始動時を性能基準1、プログラミング時の初期からかせ度を性能基準2、

に、CMP法により、開口外に存在するPt膜18aと、CMP法によって研磨し、開口内を埋め込む形状の下部電極18を形成する。
電極18が示したように、ノード電極18と、S101膜16から成る電極18を含むT10膜7上に、S101膜16上で、第2絶縁膜を形成し、ノード電極18上であって、

【0036】さらに、図2(e)に示したように、開口部を形成する。

を含むTiO膜17上に、例えば、MO CVD法により、膜厚600～2000Åで、強誘電体膜としてP-T膜18を形成し、700°C程度の温度で、10分程度、アニール処理を施す。その後、例えば、MO CVD法により、膜厚500～2000Å程度のIr膜20を形成する。

[0037] 続いて、図2(2)に示したように、上のCMP法と同様の方法により、開口部に存在するPT線19a及びTR線20aをCMP法により研磨して開口内を埋めむ形態の強誘電体膜19及びドライブイン20を形成する。このような方法によれば、コン

第1発は鏡に開口部を形成するために、第2発は鏡に開口部を形成するためのマスク、ノード電極 1 上の第2発は鏡に開口部を形成するためのマスクと 2 枚のマスクを使用するのでよく、製造工程を簡略化できる。しかも、ドライエッジングは行わないため、強筋筋肉膜へのプラスマダメージを低減することができる。

【図面の簡単な説明】

- 【図1】本明免の半導体装置の製造方法の一実施例を示す要部の概略断面工程図である。
- 【図2】本明免の半導体装置の製造方法の別の実施例を示す要部の概略断面工程図である。
- 【図3】從来の平面型チャバシタを有する施設電極メモリセル構造を示す要部の概略断面図である。
- 【図4】從来のスクワット型チャバシタを有する施設電極メモリセル構造を示す要部の概略断面図である。
- 【図5】從来の施設電極メモリセルの製造工程を説明するための要部の概略断面図である。

【図6】従来の別の強誘電体モリセルの製造工程を示すための要部の概略断面図である。

【符号の説明】

- シリコン基板（半導体基板）
- SiO₂膜（界面絶縁膜）
- SiN₄膜（界面絶縁膜）

3 S1N膜(層間绝缘膜)
4 ブラグ
5 バリアオキシ

6、16 S10膜(第1絕緣膜)
7、17 T10膜(第1絕緣膜)

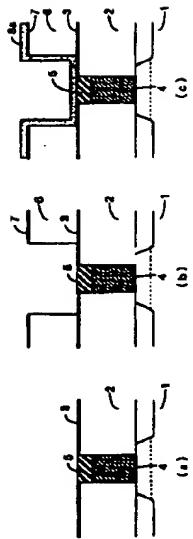
8 a、18 a Pt膜
8 ノード電極(下部電極)
9 18 a PZT膜

10. 20a Irr
16 Si01型(第2鉛錠型)

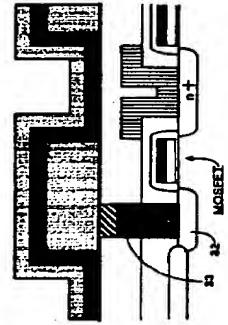
17 TiO₂膜(絶縁膜サイドウォールスペーサ)
 18 強誘電体膜
 19 ドライブライン(上部電極)

(1)

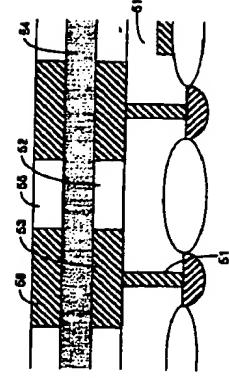
[図1]



[図4]



[図6]



フロントページの焼き

(1) 発明者 井口 勝次
大阪府大阪市阿倍野区長池町11番11号 シ
ヤーフ株式会社内

Pターム(参考) SF004 AA11 BA04 D001 EA12 EA17
EB01 EB03 BB03 BB05 FA01
SF003 AD01 AD54 PR01 JA14 JA15
JA17 JA18 JA00 JA13 JA54
MA06 MA17 PR11 PR21 PR31
PR40

(2) 発明者 井口 勝次

大阪府大阪市阿倍野区長池町11番11号 シ

ヤーフ株式会社内

SF004 AA11 BA04 D001 EA12 EA17

EB01 EB03 BB03 BB05 FA01

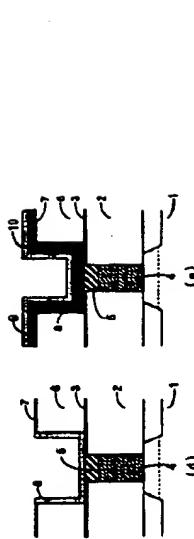
SF003 AD01 AD54 PR01 JA14 JA15

JA17 JA18 JA00 JA13 JA54

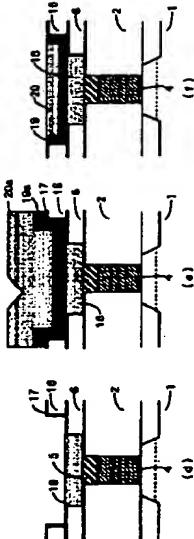
MA06 MA17 PR11 PR21 PR31

PR40

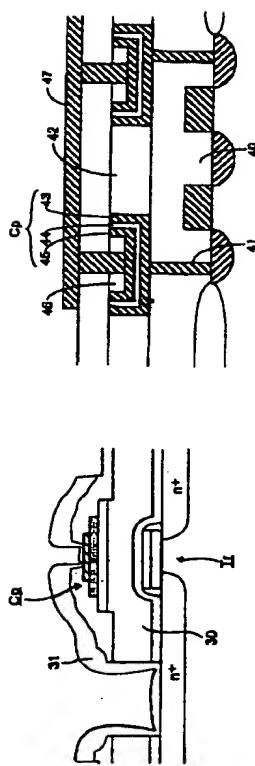
[図2]



[図3]



[図5]



(2)

特許2006-190033[P2006-190033A]